

## 24 位、96kHz 立体声 D/A 转换器 --CS4334

### 1. 特点

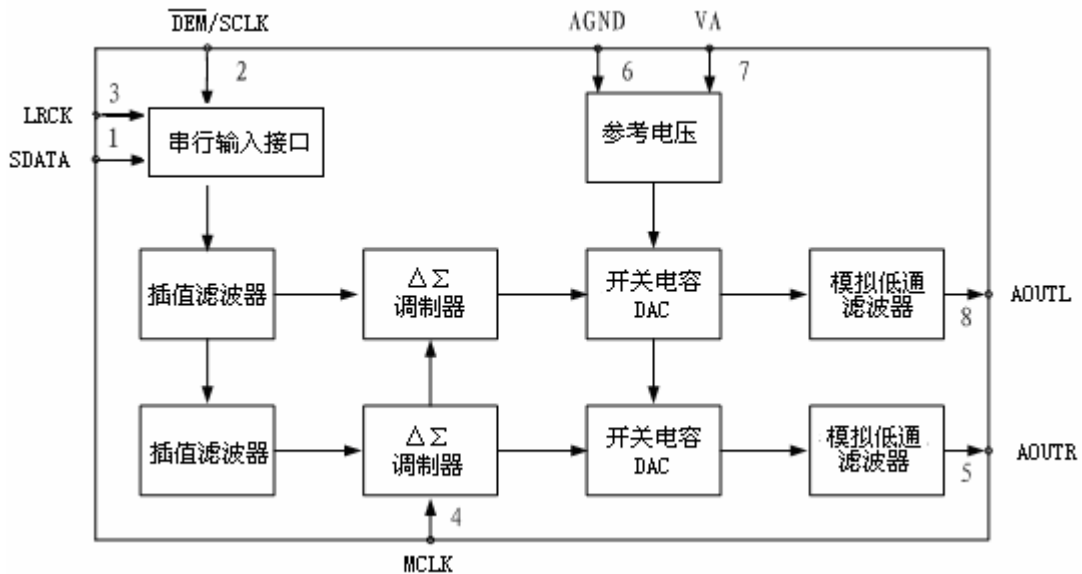
- 完美的立体声 D/A 转换系统：插值，D/A，模拟输出滤波
- 24 位转换
- 96 dB 动态范围
- -88 dB 的 THD+N
- 低时钟抖动灵敏度
- 单+5V 电源供电
- 片上数字去加重功能
- 防冲击技术

### 2. 描述

CS4334 系列是完美的立体声数模输出系统，在一个 8 脚封装中包含了插值、1 位 D/A 转换和模拟输出滤波功能。CS4334 支持主流的音频数据接口格式，并且不同器件的区别仅在于它们所支持的接口类型不同。

CS4334 是基于 Delta-Sigma 调制的转换器，其中的调制器输出用来控制一个超线性模拟低通滤波器的参考电压输入。这种结构允许仅仅通过改变主时钟频率就可以在 2kHz 到 100kHz 范围内任意调节采样率。

CS4334 系列转换器均包含片上数字去加重功能。片上去加重功能采用 +5V 电源供电，并且仅需要很少的支持电路。这些特点对于置顶盒、DVD 播放器、SVCD 播放器和 A/V 接收机来说是非常理想的。



CS4334 功能框图

### 3. 特点和参数

(在指定的工作条件下，所有的最小/最大值是有保证的。典型性能指标是在理论工作电压和  $T_A=25^\circ\text{C}$  的条件下测试得到的。)

- 指定工作条件 (AGND=0V; 所有电压都是相对于地的。)

参数	符号	最小	理论	最大	单位
直流电源	VA	4.75	5.0	5.5	V
工作环境温度 (已加电)	$T_A$	-KS	-10	+70	$^\circ\text{C}$
		-BS/-DS	-40	+85	$^\circ\text{C}$

- 极限工作条件 (AGND=0V; 所有电压都是相对于地的。)

参数	符号	最小	最大	单位
直流电源	VA	-0.3	6.0	V
输入电流 (除电源外)	$I_{in}$	-	$\pm 10$	mA
数字输入电压	$V_{IND}$	-0.3	VA+0.4	V
工作环境温度 (已加电)	$T_A$	-55	125	$^\circ\text{C}$
存储温度	$T_{stg}$	-65	150	$^\circ\text{C}$

- 模拟参数 (满量程输出正弦波, 997Hz; 测试负载,  $R_L=10\text{k}\Omega$ ,  $C_L=10\text{pF}$  (见图 1)。除非特别声明, 在基速率模式下, 测量带宽为 10Hz 到 20kHz,  $F_s=48\text{kHz}$ ; 在高速率模式下, 测量带宽为 10Hz 到 40kHz,  $F_s=96\text{kHz}$ 。)

参数	符号	基速率模式			高速率模式			单位
		最小	典型	最大	最小	典型	最大	
CS4334-KS 的动态性能								
动态范围								
18 到 24 位 unweighted		88	93	-	85	90	-	dB
A-weighted		91	96	-	91	96	-	dB
16 位 unweighted		86	91	-	84	88	-	dB
A-weighted		89	94	-	89	94	-	dB
总谐波失真+噪声	THD+N							
18 到 24 位 0dB		-	-88	-83	-	-88	-83	dB
-20dB		-	-73	-68	-	-70	-65	dB
-60dB		-	-33	-28	-	-30	-25	dB
16 位 0dB		-	-86	-81	-	-86	-81	dB
-20dB		-	-71	-66	-	-68	-63	dB
-60dB		-	-31	-26	-	-28	-23	dB
通道间的隔离 (1kHz)		-	94	-	-	95	-	dB
Combined Digital and On-chip Analog Filter Response								
通带								
To -0.05 dB corner		0	-	.4780	-	-	-	$F_s$
To -0.1 dB corner		-	-	-	0	-	.4650	$F_s$
To -3 dB corner		0	-	.4996	0	-	.4982	$F_s$

10Hz 到 20Hz 的频率响应		-0.01 - +0.08	-0.05 - +0.2	dB
通带纹波		- - ±0.08	- - ±0.2	dB
衰减带		.5465- -	.5770- -	F <sub>s</sub>
衰减带衰减		50 - -	55 - -	dB
群延迟	t <sub>gd</sub>	- 9/F <sub>s</sub> -	- 4/F <sub>s</sub> -	S
通带群延迟偏差				
0-40kHz		- ±0.36/F <sub>s</sub> -	- ±1.39/F <sub>s</sub> -	S
0-20kHz			- ±0.23/F <sub>s</sub> -	S
去加重误差 F <sub>s</sub> =32kHz		- - +1.5/+0	(注释 1)	dB
F <sub>s</sub> =44.1kHz		- - +.05/-0.25		dB
F <sub>s</sub> =48kHz		- - -.2/-0.4		dB

参数	符号	最小	典型	最大	单位
<b>DC 精度</b>					
通道间的增益失配		-	0.1	0.4	dB
增益误差		-	±5	-	%
增益漂移		-	100	-	ppm/ °C
<b>模拟输出</b>					
满量程输出电压		3.25	3.5	3.75	V <sub>pp</sub>
静态电压	V <sub>q</sub>	-	2.2	-	VDC
最大交流负载电阻	R <sub>L</sub>	-	3	-	kΩ
最大负载电容 (注释 2)	C <sub>L</sub>	-	100	-	pF

注：(1) 高速率模式不提供去加重功能。

(2) 参考图 2

● 电源和热性能

参数	符号	最小	典型	最大	单位
<b>电源</b>					
电源电流 正常工作	I <sub>A</sub>	-	12	19	mA
power-down 状态	I <sub>A</sub>	-	40	-	uA
消耗功率 (注释 7)					
正常工作		-	75	104	mW
power-down 状态		-	0.2	-	mW
封装热阻	θ <sub>JA</sub>	-	110	-	°C /Watt
电源抑制比 (1kHz)	PSRR	-	79	-	dB

注释：(3) 参考图 3。最大功率是在 V<sub>A</sub>=5.5V 的条件下测试得到的。

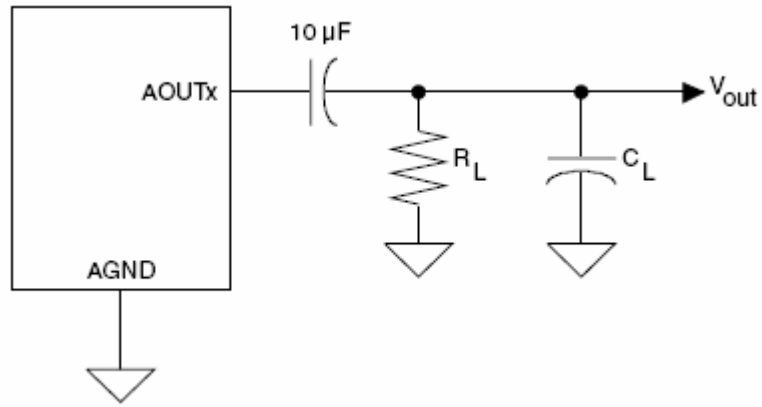


图 1 输出测试电路

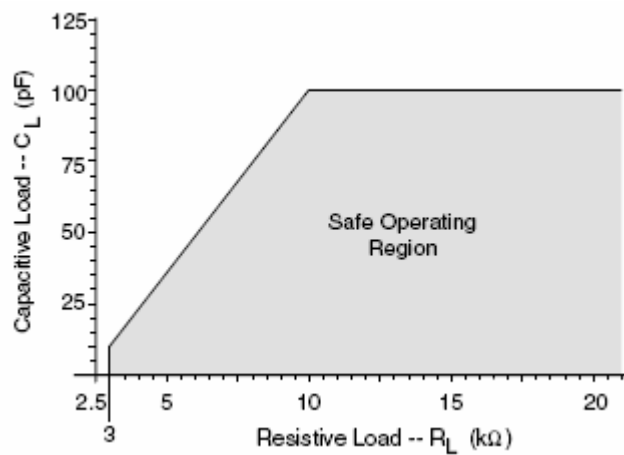


图 2 最大负载

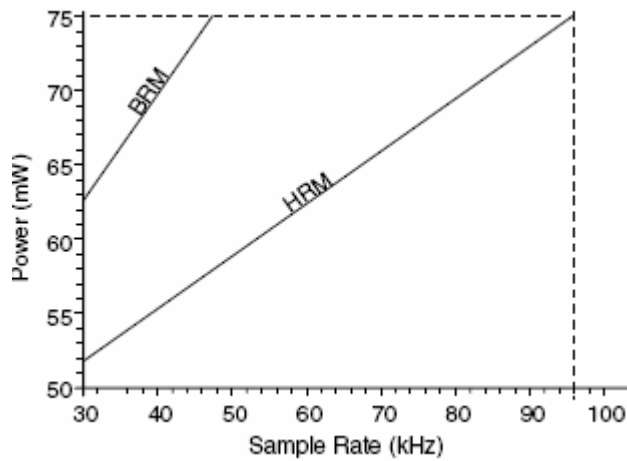


图 3 功率与采样率的关系

● 数字输入特性

参数	符号	最小	典型	最大	单位
高电平输入电压	$V_{IH}$	2.0	—	—	V
低电平输入电压	$V_{IL}$	—	—	0.8	V
输入漏电流	$I_{IN}$	—	—	$\pm 10$	$\mu A$
输入电容		—	8	—	pF

● 开关特性

参数	符号	最小	典型	最大	单位
输入采样率	F <sub>s</sub>	2	—	100	kHz
MCLK 脉冲宽度 高 MCLK/LRCK=512		10	—	1000	ns
MCLK 脉冲宽度 低 MCLK/LRCK=512		10	—	1000	ns
MCLK 脉冲宽度 高 MCLK/LRCK=384 或 192		21	—	1000	ns
MCLK 脉冲宽度 低 MCLK/LRCK=384 或 192		21	—	1000	ns
MCLK 脉冲宽度 高 MCLK/LRCK=256 或 128		31	—	1000	ns
MCLK 脉冲宽度 低 MCLK/LRCK=256 或 128		31	—	1000	ns
<b>外部 SCLK 模式</b>					
LRCK 占空比（仅适用于外部 SCLK 情况）		40	50	60	%
SCLK 脉冲宽度 低	t <sub>sclk<sub>l</sub></sub>	20	—	—	ns
SCLK 脉冲宽度 高	t <sub>sclk<sub>h</sub></sub>	20	—	—	ns
SCLK 周期 基速率模式 MCLK/LRCK=512, 256 或 384	t <sub>sclk<sub>w</sub></sub>	1/(128F <sub>s</sub> )	—	—	ns
SCLK 周期 高速率模式 MCLK/LRCK=128 或 192	t <sub>sclk<sub>w</sub></sub>	1/(64F <sub>s</sub> )	—	—	ns
SCLK 上升到 LRCK 沿的延迟时间	t <sub>slrd</sub>	20	—	—	ns
SCLK 上升到 LRCK 沿的建立时间	t <sub>slrs</sub>	20	—	—	ns
SDATA 有效到 SCLK 上升的建立时间	t <sub>sd<sub>lrs</sub></sub>	20	—	—	ns
SCLK 上升到 SDATA 的保持时间	t <sub>sdh</sub>	20	—	—	ns
<b>内部 SCLK 模式</b>					
LRCK 占空比（仅适用于内部 SCLK 情况）（注释 4）		—	50	—	%
SCLK 周期（注释 5）	t <sub>sclk<sub>w</sub></sub>	1/(SCLK)	—	—	ns
SCLK 上升到 LRCK 边沿	t <sub>sclk<sub>r</sub></sub>	—	t <sub>sclk<sub>w</sub></sub> /2	—	ns
SDATA 有效到 SCLK 上升的建立时间	t <sub>sd<sub>lrs</sub></sub>	1/(512F <sub>s</sub> )+10	—	—	ns
SCLK 上升到 SDATA 的保持时间 MCLK/LRCK=512, 256 或 128	t <sub>sdh</sub>	1/(512F <sub>s</sub> )+15	—	—	ns
SCLK 上升到 SDATA 的保持时间 MCLK/LRCK=384 或 192	t <sub>sdh</sub>	1/(512F <sub>s</sub> )+15	—	—	ns

注释：（4）在内部 SCLK 模式，占空比必须是 50% +/- 1/2 MSLK 周期。

(5) SCLK/LRCK 比值必须为 32, 48 或 64。这个比值来自于 part type 和 MCLK/LRCK 比值。(见图 4-6)

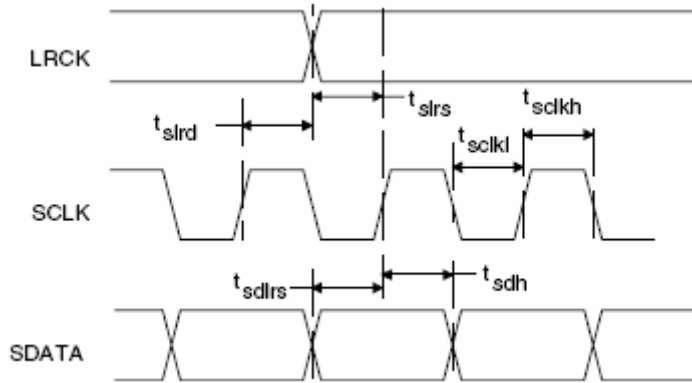


图 4 外部串行模式输入时序

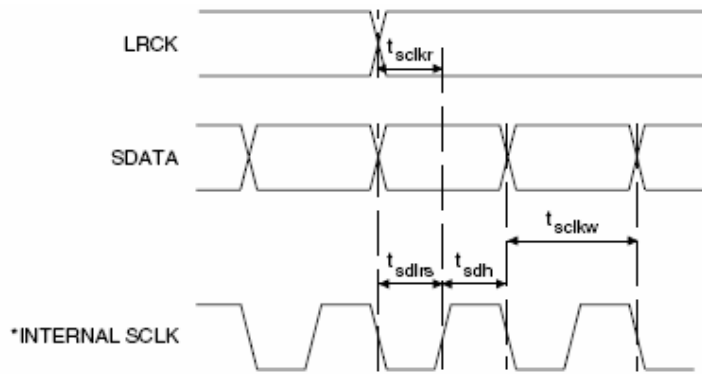


图 5 内部串行模式输入时序

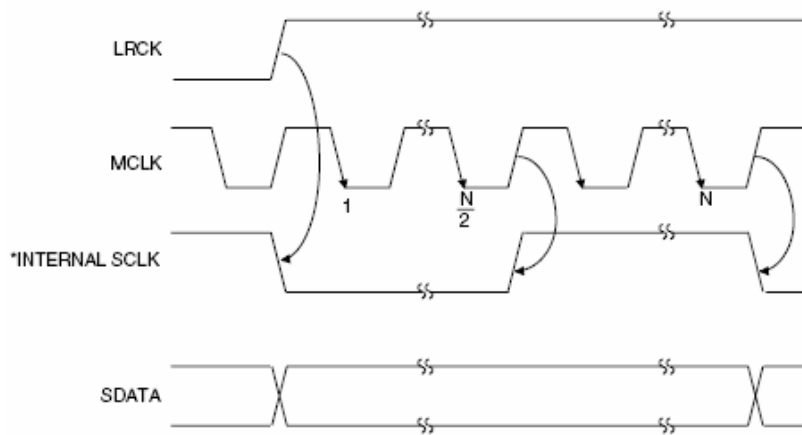


图 6 内部串行时钟的产生

\*所示 SCLK 脉冲位于 CS4334 内部。N 等于 MCLK/SCLK。

## ● 概述

CS4334 系列器件提供了一个完美的立体声数模转换系统，如图 8 所示，本系统包含数字插值、四阶 delta-sigma 数模转换、数字去加重和模拟滤波功能。这种结构对于时钟抖动具有很高的容差能力。

使用 delta-sigma 技术的主要目的在于通过内部的 1 位线性数模转换器来实现理想的差分线性性能，没有电阻失配误差引起的失真，没有因电阻阻值变化引起的线性性能随时间和温度的漂移。

CS4334 系列器件支持两种工作模式。当 MCLK/LRCK 比值为 256、384 或 512 时，器件工作在基速率模式 (BRM)；当 MCLK/LRCK 为 128 或 192 时，其间工作在高速率模式 (HRM)。高速率模式支持高达 100kHz 的采样率。

## ● 数字插值滤波器

数字插值滤波器将采样率， $F_s$ ，提高到原来的 4 倍，它后面带有一个 32 位的数字采样保持器（在 HRM 模式为 16 位）。这个滤波器消除了位于输入采样速率倍频处的基带音频信号的镜像信号。所得频谱包含位于  $4F_s$  倍频处的输入信号的镜像。这些镜像信号可以非常容易的通过片上模拟低通滤波器和简单的外部模拟滤波器消除。

- Delta-sigma 调制器

紧跟在插值滤波器后的是一个四阶 delta-sigma 调制器, 在 BRM 模式下以 128Fs 的速率将插值滤波器的输出转换为 1 位的数据(在 HRM 模式下, 速率为 64Fs)。

- 开关电容数模转换器

跟在 delta-sigma 调制器后面的数模转换器将 1 位数据转换成一系列的电荷包。每个电荷包中电荷量的大小由对开关电容的电压采样决定, 其中每个电荷包的极性由所对应 1 位数据决定。这种技术极大的减少了对时钟抖动的灵敏度, 同时也提供了一个低通滤波输出。

- 模拟低通滤波

最后的信号级由一个连续时间低通滤波器构成。本级起到了使输出平滑和削弱通带外噪声的作用。

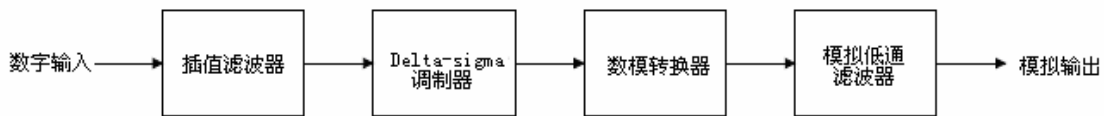


图 8 系统框图

- 系统设计

CS4334 以标准的音频采样速率接收数据。在 BRM 模式速率为 48、44.1 和 32kHz; 在 HRM 模式速率为 96、88.2 和 64kHz。音频数据是通过串行数据输入管脚 (SDATA) 输入的。左/右时钟 (LRCK) 确定了数据通道, 并且串行时钟 (SCLK) 将音频数据推入输入数据缓冲器。像图 10-13 中所示的那样, CS4334 的区别在于它们的串行数据格式不同。

- 主时钟 (Master Clock)

在 BRM 模式下, MCLK 必须是输入采样率的 256 倍、384 倍或 512 倍; 在 HRM 模式下, 必须是输入采样率的 128 倍或 192 倍。LRCK 频率等于 Fs, 每个通道的字信息就是以这个频率输入器件的。通过计算一个 LRCK 周期中 MCLK 转换的次数, 可以在初始化时自动检测到 MCLK 与 LRCK 的频率比。通过设置内部分频器可以产生正确的时钟。表 1 列出了一些标准音频采样率及所需的 MCLK 和 LRCK 频率。请注意, MCLK、LRCK 与 SCLK 之间并不需要有特定的相位关系, 但它们必须是同步的。

LRCK (kHz)	MCLK (MHz)				
	HRM		BRM		
	128x	192x	256x	384x	512x
32	4.0960	6.1440	8.1920	12.2880	16.3840
44.1	5.6448	8.4672	11.2896	16.9344	22.5792
48	6.1440	9.2160	12.2880	18.4320	24.5760
64	8.1920	12.2880	-	-	-
88.2	11.2896	16.9344	-	-	-
96	12.2880	18.4320	-	-	-



表 1 共用时钟频率

● 串行时钟

串行时钟用来控制输入数据缓冲器中数据的移位。CS4334 支持外部和内部串行时钟产生模式。参考图 10 中的数据格式。

● 外部串行时钟模式

在 LRCK 时钟周期的任何相位,如果在 DEM/SCLK 管脚上检测到 16 个低到高的转换,那么 CS4334 系列将会进入外部串行时钟模式。当器件采取这种工作模式时,内部串行时钟模式和去加重滤波器将是不可访问的。如果在 LRCK 的两个连续帧中都没有在 DEM/SCLK 管脚上检测到低到高的转换,那么 CS4334 将会转换到内部串行时钟模式。

● 内部串行时钟模式

在内部串行时钟模式下,串行时钟是内部产生的并且同 MCLK 和 LRCK 同步。根据数据格式, SCLK/LRCK 频率比可能为 32、48 或 64。器件在这种模式下的工作与在外部串行时钟模式下的一样。内部串行时钟模式允许访问数字去加重功能。

● 去加重

CS4334 包含片上去加重功能。图 9 中给出了  $F_s$  等于 44.1kHz 时的去加重曲线。去加重曲线的频率响应将随采样率  $F_s$  的改变而成比例变化。如果在 LRCK 的 5 个连续下降沿 DEM/SCLK 均保持低(高),那么去加重滤波器将会打开(关闭)。只有在内部串行时钟模式下才会具有这种功能。

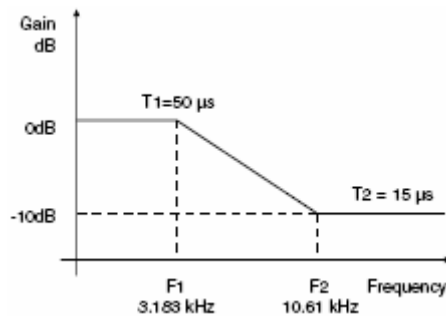


图 9 去加重曲线 ( $F_s=44.1\text{kHz}$ )

● 初始化 (initialization) 和去电 (Power-Down)

CS4334 在上电(power-up)时首先进入去电状态。此时,插值滤波器和 delta-sigma 调制器被重置,内部电压参考源、一位数模转换器和开关电容低通滤波器进入去电状态。在 MCLK 和 LRCK 出现前,器件将一直保持去电状态。一旦检测到 MCLK 和 LRCK 信号,就会对一个 LRCK 周期中 MCLK 出现的次数进行计数以确定 MCLK/LRCK 的频率比。接下来,电源被加到内部电压参考源上。最后,电源加到 D/A 转换器和开关电容滤波器上,同时模拟输出变到静态电压  $V_q$ 。

● 输出瞬态控制

CS4334 采用防冲击技术来使电源上电与去电期间出现的输出瞬变作用最小化。为了更好的利用这个特点，对它工作原理的理解是必需的。

当器件刚刚上电时，音频输出 AOUTL 和 AOUTR 电位为 AGND。经过大约 1000 个采样周期的延迟，每个输出都开始向静态电压  $V_0$  变化。大约 10000 个采样周期后，输出达到  $V_0$  并且音频输出开始。这个电压的逐步上升过程为外部隔直电容充电到  $V_0$  提供了时间，有效地隔离了直流电压。

为了防止去电时的瞬变现象，器件必须首先进入去电状态。这可以通过去掉 MCLK 或 LRCK 来实现。当器件进入去电状态时，音频输出将会停止，同时，内部输出缓冲器从 AOUTL 和 AOUTR 上断开。一个软开启吸电流用来代替 AOUTL 和 AOUTR，这个电流使得隔直电容可以缓慢的释放电荷。电容上电荷释放掉以后，器件的电源将会关断，系统准备好下一次开启。

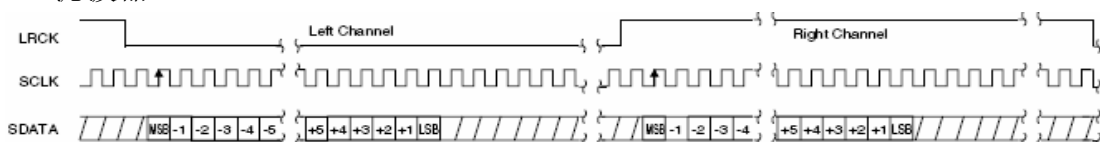
为了防止下一次开启时的音频瞬变现象，在关断电源或退出省电状态之前，隔直电容必须充分放电。如果没有进行充分放电，当音频输出最初跳到 AGND 时将会出现一个音频瞬变。器件必须保持在去电状态的时间同隔直电容的值有关。例如，采用一个 3.3uF 的电容，器件必须保持在去电状态的时间约为 0.4 秒。

### ● 接地和电源去耦

像任何高精度转换器一样，CS4334 要求对电源和接地格外小心，以使性能最优化。其中 VA 接到了一个纯净的+5V 电源上。为了获得最好的性能，必须使去耦电容尽可能的靠近器件封装，并且让最小的电容最靠近封装。

### ● 模拟输出和滤波

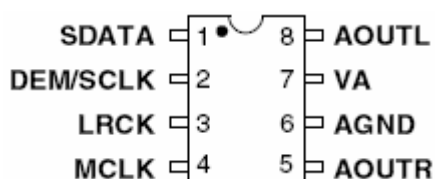
CS4334 中的滤波器是跟随了一个连续时间低通滤波器的开关电容滤波器。



Internal SCLK Mode	External SCLK Mode
I <sup>2</sup> S, 16-Bit data and INT SCLK = 32 Fs if MCLK/LRCK = 512, 256 or 128 I <sup>2</sup> S, Up to 24-Bit data and INT SCLK = 48 Fs if MCLK/LRCK = 384 or 192	I <sup>2</sup> S, up to 24-Bit Data Data Valid on Rising Edge of SCLK

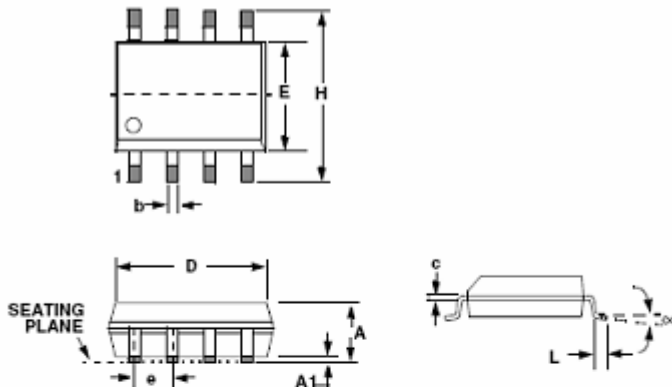
图 10 CS4334 的数据格式 (I<sup>2</sup>S)

### ● 管脚描述



序号	管脚名称	I/O	管脚功能和描述
1	SDATA	I	串行音频数据输入——二进制补码的最高位串行数据通过本管脚输入。数据通过内部或外部 SCLK 信号输入，并且本通道由 LRCK 控制。
2	DEM/SCLK	I	去加重/外部串行时钟输入——用于去加重滤波器的控制或外部串行时钟的输入。
3	LRCK	I	左/右时钟——决定哪个通道的数据输入音频串行数据输入管脚 SDATA 中。
4	MCLK	I	主时钟——在 BRM 模式下，频率必须为输入采样率的 256、384 或 512 倍；在 HRM 模式下，必须为输入采样率的 128 或 192 倍。
5	AOUTR	O	模拟右输出通道——对于满量度输入信号，典型峰—峰值为 3.5V。
6	AGND	I	模拟地——模拟地的参考电压为 0V。
7	VA	I	模拟电源——模拟电源的理论值为 +5V。
8	AOUTL	O	模拟右输出通道——对于满量程输入信号，典型峰—峰值为 3.5V。

● 封装尺寸



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.013	0.020	0.33	0.51
C	0.007	0.010	0.19	0.25
D	0.189	0.197	4.80	5.00
E	0.150	0.157	3.80	4.00
e	0.040	0.060	1.02	1.52
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27
∞	0°	8°	0°	8°